

MANUFACTURE OF SEMICONDUCTOR DEVICE

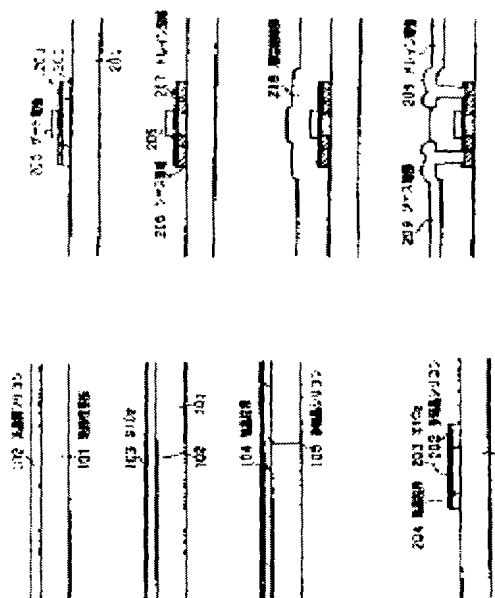
Patent number: JP3004564
Publication date: 1991-01-10
Inventor: KUNII MASABUMI
Applicant: SEIKO EPSON CORP
Classification:
 - international: **H01L21/20; H01L21/336; H01L29/78; H01L29/786; H01L21/02; H01L29/66; (IPC1-7): H01L21/20; H01L29/784**
 - european:
Application number: JP19890139717 19890601
Priority number(s): JP19890139717 19890601

[Report a data error here](#)

Abstract of JP3004564

PURPOSE:To enable the manufacture of an FET of high performance through a low temperature process by a method wherein an insulating amorphous thin film is formed on an amorphous semiconductor thin film deposited on an insulating substrate, which is annealed to enable the amorphous semiconductor thin film to glow in a solid-state growth manner.

CONSTITUTION:An amorphous Si thin film 102 is deposited on an insulating substrate 101, and an SiO₂ thin film 103 is formed thereon to serve as a gate insulating film. Then, the layer 102 is made to solid-grow through an annealing process to form a polycrystalline Si 105 of large grain diameter. By this setup, an excellent semiconductor/insulating film interface can be obtained. When the polycrystalline Si thin film concerned is applied to a thin film transistor, an Si thin film 202 grown in a solid-state manner on an insulating substrate 201 and an SiO₂ 203 are patterned into an island shape. A gate electrode 205 is built thereon, and impurity ions are implanted using the electrode 205 as a mask to form a source region 206 and a drain region 207. An interlaminar insulating film 208 is formed thereon, a contact hole is provided to the film 208 and a gate insulating film, and a source electrode and a drain electrode 209 are provided.



Data supplied from the **esp@cenet** database - Worldwide

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平3-4564

⑬ Int.Cl.⁴

識別記号

庁内整理番号

⑭ 公開 平成3年(1991)1月10日

H 01 L 29/784
21/20

7739-5F
9058-5F

H 01 L 29/78

3 1 1 G

審査請求 未請求 請求項の数 3 (全5頁)

⑮ 発明の名称 半導体装置の製造方法

⑯ 特 願 平1-139717

⑰ 出 願 平1(1989)6月1日

⑱ 発 明 者 国 井 正 文 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

⑲ 出 願 人 セイコーエプソン株式会社 東京都新宿区西新宿2丁目4番1号

⑳ 代 理 人 弁理士 鈴木 喜三郎 外1名

明 細 書

1. 発明の名称

半導体装置の製造方法

2. 特許請求の範囲

(1) 絶縁基板上に非晶質半導体薄膜を形成し、該非晶質半導体薄膜上に絶縁性非晶質薄膜を積層する工程と、該絶縁性非晶質薄膜が積層された状態で前記非晶質半導体薄膜をアニールして晶相成長させる工程とを少なくとも有することを特徴とする半導体装置の製造方法。

(2) 前記絶縁性非晶質薄膜の一部を除去し、非晶質半導体薄膜の一部が露出した状態で前記アニールを行うことを特徴とする請求項1記載の半導体装置の製造方法。

(3) 前記絶縁性非晶質薄膜はMOS型電界効果トランジスタのゲート酸化膜であることを特徴とする請求項1記載の半導体装置の製造方法。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は半導体装置の製造方法に関する。

〔従来の技術〕

近年、大型で高解像度の液晶表示パネル、高速で高解像度の密着型イメージセンサ、三次元IC等への実現に向けて、ガラス、石英等の絶縁性非晶質基板や、SiO₂等の絶縁性非晶質層上に、高性能な半導体素子を形成する試みが成されている。例えば特開昭62-124731等に見られるように、ガラス基板上に形成した非晶質半導体薄膜を熱処理して晶相成長させ、大粒径の薄膜を得ることにより薄膜トランジスタの高性能化を図る試みもある。なかでも大型の液晶表示パネル等に於いては、低コストの要求を満たすため、安価な低融点ガラス上に薄膜トランジスタ(TFT)を形成することが必須の要求になりつつある。従来は、低融点ガラス基板上に形成するTFTのゲート絶縁膜に、Journal of Vacuum Science Technology Vol. B6(2) p. 517(1988) 等に見られるよ

うにプラズマ気相成長法 (PCVD) を用いたもの、Applied Physics Letters Vol.50(17)p.1167 (1987)等にもみられるように減圧化学気相成長法 (LP-CVD) を用いたもの、Electronics Letters Vol.24(3) p.172(1988)、Japanese Journal of Applied Physics Vol.26(5) p.805,835,1908 (1988)等にもみられるように光化学気相成長法を用いたもの、Japanese Journal of Applied Physics Vol.22(4) p.L210(1983)等にもみられるようにECRプラズマ気相成長法を用いたもの等があり、いずれも低温成膜法で作製したSiO₂薄膜を用いてきた。

【発明が解決しようとする課題】

しかし、TFTのゲート酸化膜の形成を低温 (<600℃) で行なう場合、高温酸化法で形成したゲート絶縁膜と比較すると膜質が劣り、高性能のTFTが実現できないという問題点があった。低温で成膜したゲート絶縁膜の膜質が劣る理由は、ゲート絶縁膜中の残留ストレス、ダングリングボンド、不純物等に起因する欠陥単位が半導

体/ゲート絶縁膜界面に存在し、空乏層が広がらないことによる。このため、従来の低温成膜法で形成したTFTでは高性能化が難しかった。

本発明は以上の問題点を解決するもので、その目的は低温プロセスを用いて高性能のTFTを作製することにある。

【課題を解決するための手段】

本発明の半導体装置の製造方法は、①絶縁基板上に非晶質半導体薄膜を形成し、該非晶質半導体薄膜上に絶縁性非晶質薄膜を積層する工程と、該絶縁性非晶質薄膜が積層された状態で前記非晶質半導体薄膜をアニールして固相成長させる工程とを少なくとも有することを特徴とする。

②前記絶縁性非晶質薄膜の一部を除去し、非晶質半導体薄膜の一部が露出した状態で前記アニールを行うことを特徴とする。

③前記絶縁性非晶質薄膜はMOS型電界効果トランジスタのゲート酸化膜であることを特徴とする。

【実施例】

以下、第1図をもとに固相成長アニールの方法を説明する。まず石英基板あるいはガラス基板等の絶縁基板101上に非晶質半導体102を成膜する。本実施例では非晶質半導体の例に非晶質シリコンを用いて説明する。尚、基板にはSiO₂で覆われたSi基板を用いることもある。石英基板あるいはSiO₂で覆われたSi基板を用いる場合は1200℃の高温プロセスにも耐えることができるが、ガラス基板を用いる場合は軟化温度が低いために約600℃以下の低温プロセスに制限される。はじめに絶縁基板101上に非晶質シリコン薄膜102を堆積させる (第1図(a))。該非晶質シリコン薄膜102は一様で、微小な結晶子は含まれておらず結晶成長の核が全く存在しないことが望ましい。減圧化学気相成長法 (LP-CVD) の場合は、デポ温度がなるべく低くて、デポ速度が早い条件が適している。シランガス (SiH₄) を用いる場合は500℃～560℃程度、ジシランガス (Si₂H₆) を用いる場合は300℃～500℃程度のデポ温

度で分解堆積が可能である。トリシランガス (SiH₃) は分解温度がより低い。デポ温度を高くすると堆積した膜が多結晶になるので、Siイオン注入によって一旦非晶質化する方法もある。プラズマ化学気相成長法 (PCVD) の場合は、基板温度が500℃以下でも成膜できる。また、デポ直前に水素プラズマあるいはアルゴンプラズマ処理を行えば、基板表面の清浄化と成膜を連続的に行うことができる。光励起CVD法の場合も500℃以下の低温デポ及び基板表面の清浄化と成膜を連続的に行うことができる点で効果的である。電子ビーム蒸着法などのような高真空蒸着法の場合は膜がポーラスであるために大気中の酸素を膜中に取り込み易く、結晶成長の妨げとなる。このことを防ぐために、固相成長アニール前に300℃～500℃程度の低温熱処理を行い膜を緻密化させることが有効である。スパッタ法の場合も高真空蒸着法の場合と同様である。

以上のようにして形成した非晶質シリコン薄膜上にゲート絶縁膜となるSiO₂薄膜103を2

00~1500Å成膜する(第1図-(b))。PCVD、光CVD、電子ビーム蒸着法等では非晶質シリコンとSiO₂の成膜を同一チャンバ内で行えるため、半導体/絶縁膜界面を清浄に保つことが容易となり望ましい。PCVD法をSiO₂の成膜に用いる場合は、SiH₄と亜酸化窒素ガス(N₂O)の混合ガスを用いる。水素(H₂)ガスあるいはヘリウム(He)ガスを希釈ガスに用いると膜のダメージが低減されることが知られているので、場合によってはSiH₄、N₂O、H₂またはHeの混合ガスを用いる。ゲート絶縁膜にSiの窒化膜を用いる場合にはSiH₄、窒素ガス(N₂)またはアンモニアガス(NH₃)の混合ガスを用いる。光CVDではSiH₄の代わりにSi₂H₆、Si₃H₈ガス等を用いる。電子ビーム蒸着では高純度のSiO₂ターゲットを用いる。また、マグネトロンスパッタ法を用いてSiO₂成膜してもよい。

以上のようにして作製した半導体/絶縁膜二層構造において、半導体薄膜を固相成長させるアニ

ール工程を行う。アニール工程の前にSiO₂薄膜をゲート電極の形にパタニングして、開口部を形成するのが望ましい。その理由は、非晶質シリコンの全面がSiO₂で覆われていると、特にPCVDで作製した非晶質シリコン薄膜をアニールする場合に膜中に含まれている水素の逃げ場がなくなり、膜がポーラスになってしまうためである。固相成長方法は、石英管による炉アニールが便利である。アニール雰囲気としては、窒素ガス、水素ガス、アルゴンガス、ヘリウムガスなどを用いる。 1×10^{-2} から 1×10^{-1} Torrの高真空雰囲気アニールを行ってもよい。固相成長アニール温度は、およそ500℃~700℃とする。低温アニールでは選択的に、結晶成長の活性化エネルギーの小さな結晶方位を持つ結晶粒のみがゆっくりと成長し、粒径約1μmの大粒径多結晶シリコン105ができる(第1図-(c))。第1図-(c)において、結晶粒界を104で示す。この固相成長の過程において、半導体/絶縁膜界面に存在していた応力は緩和さ

れ、界面に存在していたSi原子のダングリングボンドが埋まるようにSi原子が移動する。このため、界面の応力またはSiのダングリングボンドに起因する界面単位は、固相成長過程で減少する。この様な効果のため、きわめて良好な半導体/絶縁膜界面が得られる。

本発明を用いて作製した大粒径多結晶シリコン薄膜を、薄膜トランジスタに応用した例を第2図にしたがって説明する。絶縁基板201上に固相成長させたシリコン薄膜202と、SiO₂203をフォトリソグラフィ法によりパタニングして第2図-(a)に示すように島状にする。204は結晶粒界である。第1図の段階ですでにSiO₂がパタニングされている場合はSiO₂のパタニングをマスクにしてシリコン薄膜202をエッチングすればよい。次に第2図-(b)に示されるように、ゲート電極205を形成する。該ゲート電極材料としては多結晶シリコン薄膜、あるいはモリブデンシリサイド、あるいはアルミニウムやクロムなどのような金属膜、あるいはITOや

SnO₂などのような透明性導電膜などを用いることができる。成膜方法としては、CVD法、スパッタ法、真空蒸着法、等の方法があるが、ここでの詳しい説明は省略する。

続いて第2図(c)に示すように、前記ゲート電極2-5をマスクとして不純物をイオン注入し、自己整合的にソース領域206およびドレイン領域207を形成する。前記不純物としては、Nchトランジスタを作製する場合はP⁺あるいはAs⁺を用い、Pchトランジスタを作製する場合はB⁺等を用いる。不純物添加方法としては、イオン注入法の他に、レーザードーピング法あるいはプラズマドーピング法などの方法がある。前記絶縁基板201として石英基板を用いた場合には熱拡散法を使うことができる。不純物濃度は、 1×10^{18} から 1×10^{20} cm⁻³程度とする。

続いて第2図(d)に示されるように、層間絶縁膜208を積層する。該層間絶縁膜材料としては、酸化膜あるいは窒化膜などを用いる。絶縁性

が良好ならば膜厚はいくらでもよいが、数千Åから数μm程度が普通である。窒化膜の形成方法としては、LPCVD法あるいはプラズマCVD法などが簡単である。反応には、アンモニアガスとシランガスと窒素ガスとの混合ガス、あるいはシランガスと窒素ガスとの混合ガスなどを用いる。

ここで、水素プラズマ法、あるいは水素イオン注入法、あるいはプラズマ窒化膜からの水素の拡散法などの方法で水素イオンを導入すると、ゲート絶縁膜界面などに存在するダングリングボンドなどの欠陥が不活性化される。このような水素化工程は、層間絶縁膜208を積層する前におこなってもよい。

次に第2図(e)に示すように、前記層間絶縁膜及びゲート絶縁膜にコンタクトホールを形成し、コンタクト電極を形成しソース電極209およびドレイン電極210を形成する。該ソース電極及びドレイン電極は、アルミニウムなどの金属材料で形成する。この様にして薄膜トランジスタが形成される。

をうみだす。高解像度化が達成されるとカラー読み取り用密着型イメージセンサーへの応用も容易となる。もちろん電源電圧の低減、消費電流の低減、信頼性の向上に対してもその効果は大きい。また低温プロセスによって作製することができるので、密着型イメージセンサーチップの長尺化が可能となり、一本のチップでA4サイズあるいはA3サイズの様な大型ファクシミリ用の読み取り装置を実現できる。従って、センサーチップの二本継ぎのような手数がかかり信頼性の悪い技術を回避することができ、実装歩留りも向上される。

石英基板やガラス基板だけではなく、サファイア基板(AI₂O₃)あるいはMgO・Al₂O₃、BP、CaF₂等の結晶性絶縁基板も用いることができる。

以上薄膜トランジスタを例として説明したが、バイポーラトランジスタあるいはヘテロ接合バイポーラトランジスタなど薄膜を利用した素子に対しても、本発明を応用することができる。また、三次元デバイスのようなSOI技術を利用した素

[発明の効果]

本発明によって得られた大粒徑多結晶シリコン薄膜を用いて薄膜トランジスタを作成すると、優れた特性が得られる。従来に比べて、薄膜トランジスタのON電流は増大しOFF電流は小さくなる。またスレッシュホールド電圧も小さくなりトランジスタ特性が大きく改善される。

非晶質絶縁基板上に優れた特性の薄膜トランジスタを作製することが可能となるので、ドライバ回路を同一基板上に集積したアクティブマトリクス基板に応用した場合にも十分な高速度動作が実現される。さらに、電源電圧の低減、消費電流の低減、信頼性の向上に対して大きな効果がある。また、600℃以下の低温プロセスによる作製も可能なので、アクティブマトリクス基板の低価格化及び大面積化に対してもその効果は大きい。

本発明を、光電変換素子とその定置回路を同一チップ内に集積した密着型イメージセンサーに応用した場合には、読み取り速度の高速化、高解像度化、さらに階調をとる場合に非常に大きな効果

子に対しても、本発明を応用することができる。

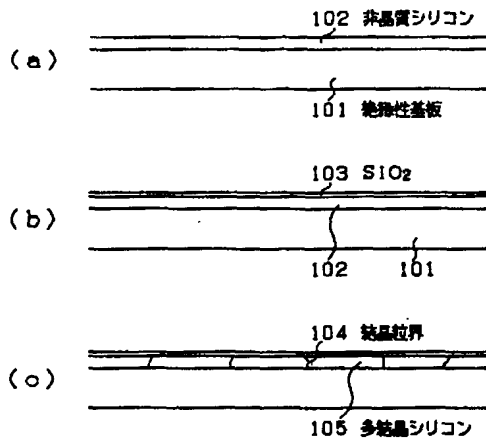
4. 図面の簡単な説明

第1図は本発明の固相成長アニール方法の説明図。

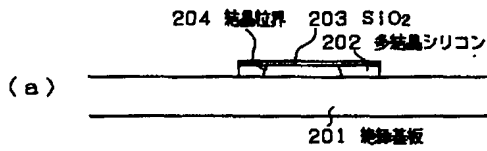
第2図は本発明の半導体装置製造方法の説明図。



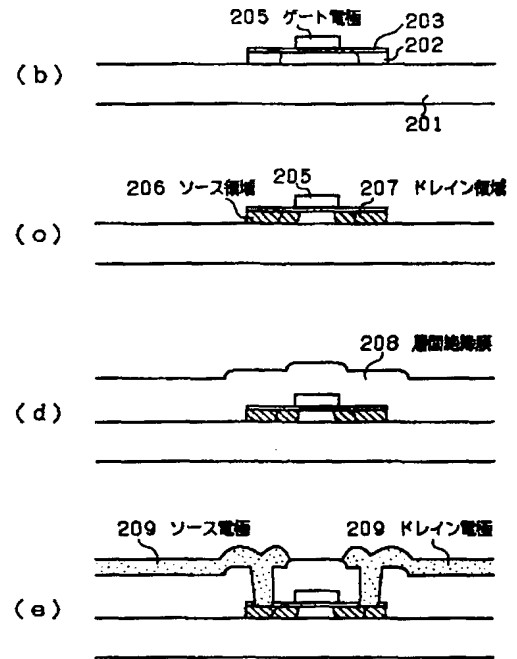
- 101、201・・・絶縁基板
- 102・・・非晶質シリコン
- 103、203・・・SiO₂
- 104、204・・・結晶粒界
- 105、202・・・多結晶シリコン
- 205・・・ゲート電極
- 206・・・ソース領域
- 207・・・ドレイン領域
- 208・・・層間絶縁膜
- 209・・・ソース電極
- 210・・・ドレイン電極



第 1 図



第 2 図



第 2 図